

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-086499

(43)Date of publication of application : 30.03.2001

(51)Int.CI.

H04N 7/24

H04L 12/56

(21)Application number : 11-263297

(71)Applicant : VICTOR CO OF JAPAN LTD

(22)Date of filing : 17.09.1999

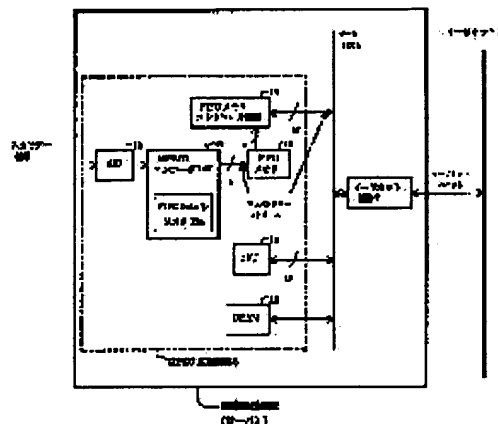
(72)Inventor : HISHIKURA HIROBUMI

## (54) DEVICE AND METHOD FOR TRANSMITTING IMAGE

### (57)Abstract:

**PROBLEM TO BE SOLVED:** To prevent the loss of data and to enable satisfactory image reproducing in an image receiver by controlling an amount of data to be sent to a network corresponding to condition of using a FIFO memory.

**SOLUTION:** Concerning an image transmitter 1 for transmitting image data compressed by an MPEG1 encoder LSI 12 through an 'Ethernet (R)' 2, delay in reading operation of a FIFO memory 13 for temporarily storing the compressed image data is detected and amount of data to be sent from an 'Ethernet (R)' circuit 7 or compression rate in the MPEG1 encoder LSI 12 is controlled. Thus, the data of an amount suitable for a network environment can be transmitted without being interrupted and distortion in a display image of the receiver can be relaxed.



## LEGAL STATUS

[Date of request for examination]

26.04.2002

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's

Rest Available Copy

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2001-86499

(P2001-86499A)

(43)公開日 平成13年3月30日(2001.3.30)

(51)Int.Cl. <sup>7</sup>	識別記号	F I	予備コード(参考)
H04N 7/24		H04N 7/13	Z 5C059
H04L 12/56		H04L 11/20	102E 5K030
			9A001

審査請求 未請求 請求項の数4 O L (全 17 頁)

(21)出願番号 特願平11-283297

(22)出願日 平成11年9月17日(1999.9.17)

(71)出願人 000004329

日本ビクター株式会社

神奈川県横浜市神奈川区守屋町3丁目12番地

(72)発明者 菱合 博文

神奈川県横浜市神奈川区守屋町3丁目12番地 日本ビクター株式会社内

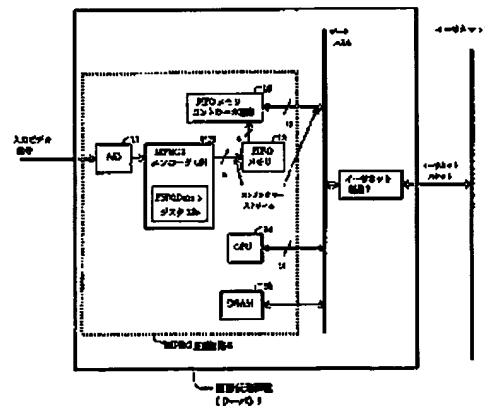
最終頁に続く

(54)【発明の名称】 画像伝送装置及び画像伝送方法

(57)【要約】

【課題】 ネットワーク中でパケットの衝突が生じたりすると受信装置で表示画像の乱れがおきる。

【解決手段】 MPEG1エンコーダLSI 12で圧縮した画像データをイーサネット2を介して伝送する画像伝送装置1において、圧縮した画像データを一時貯えておくFIFOメモリ13の読み出し動作の遅れを検出して、イーサネット回路7から送出するデータ量やMPEG1エンコーダLSI 12での圧縮レートを調整することにより、ネットワーク環境に適したデータ量を途切れなく送信することが可能となり、受信装置の表示画像の乱れを緩和させることができる。



Not Available Copy

(2)

特開2001-86499

1

【特許請求の範囲】

【請求項1】 画像受信装置で動画の再生を行うために、動画データを含む情報データをネットワークを介して送信する画像伝送装置であって、

前記動画データを圧縮符号化する符号化手段と、

この符号化手段により圧縮された圧縮動画データを一時蓄積する第1の蓄積手段と、

この第1の蓄積手段から前記圧縮動画データを読み出して送出パケットを作成する第2の蓄積手段と、

この第2の蓄積手段から出力される前記送出パケットを前記ネットワークに送出する送出手段とを有し、

前記第2の蓄積手段から前記送出パケットが出力されるごとに、前記第1の蓄積手段から1パケット分の前記圧縮動画データが読み出されることを特徴とする画像伝送装置。

【請求項2】 前記第1の蓄積手段の蓄積データ量を監視して、前記第1の蓄積手段の蓄積データ量に応じて、前記送出手段より前記ネットワークに送出されるデータ量を制御することを特徴とする請求項1記載の画像伝送装置。

【請求項3】 前記第1の蓄積手段の蓄積データ量を監視して、前記第1の蓄積手段の蓄積データ量に応じて、前記符号化手段により圧縮される前記動画データの圧縮レートを制御することを特徴とする請求項1または請求項2記載の画像伝送装置。

【請求項4】 画像受信装置で動画の再生を行うために、動画データを含む情報データをネットワークを介して送信する画像伝送方法であって、

前記動画データを圧縮符号化して蓄積手段に一時蓄積し、この蓄積手段から1パケットデータごとに読み出してパケット化して前記ネットワークに送出すると共に、前記蓄積手段の蓄積データ量に応じて、前記ネットワークに送出されるデータ量と前記動画データの圧縮レートとの少なくとも一方を制御することを特徴とする画像伝送方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、動画などの連続するストリームデータを、イーサネットやFast Ethernetなどのネットワークを介してリアルタイム伝送を行う画像伝送装置及び画像伝送方法に関するものである。

【0002】

【従来の技術】 近年、送信装置（サーバ）側のカメラで撮影した動画などの映像（連続するストリームデータ）を、イーサネットやFast EthernetなどのLANを介してリアルタイムで伝送し、伝送受信装置（クライアント）で監視するいわゆるネットワークを使用した監視システムが考えられており、主に構内監視などでの需要がある。

【0003】 このときサーバ側のカメラで撮影した映像

2

を送信する際に、ネットワーク上でパケットの衝突や消失が生じることによって、クライアント側での再生画像が乱れるので、これを回避するためにいくつかの方法が考えられている。

【0004】 このようなネットワーク画像伝送システムは、図1に示すように、伝送装置（サーバ）1と受信装置（クライアント）3とがイーサネットやFast EthernetなどのLAN2を介して接続されている。そして、サーバ1は、カメラで撮影した映像信号をMPEG圧縮回路5で例えばMPEG1規格にしたがって圧縮し、この圧縮データをイーサネット回路7でパケット化してイーサネット2に伝送する。クライアント3では、このデータをイーサネット2から受信してイーサネット回路8で映像データを取り出してMPEG伸張回路9にて伸張し、表示モニタ4に出力して表示することにより、サーバ1で撮影した映像をクライアント3側で確認することができる。

【0005】 この画像伝送装置1についてさらに詳述すると、例えば図2に示すように、入力ビデオ信号をMPEG1規格で圧縮するMPEG圧縮回路5と、このMPEG圧縮回路5から圧縮データ（エレメンタリーストリーム）がデータバス6を介して入力され、イーサネット（ネットワーク）2に送出するためのイーサネット回路7とからなる。このMPEG圧縮回路5は、主として、アナログ入力ビデオ信号をデジタル信号に変換するA/D変換器11、このA/D変換器11から出力されるデジタルビデオ信号をMPEG1規格で圧縮するMPEG1エンコーダLSI12と、このMPEG1エンコーダLSI12で圧縮された動画データを一時蓄積するFIFOメモリ13と、MPEG圧縮回路5全体を制御するCPU14と、CPU14を動作させるために使用するメモリであるDRAM15とで構成されている。

【0006】 このような構成の画像伝送装置1において、入力されたビデオ信号は、A/D変換器11によるA/D変換後、MPEG1エンコーダLSI12にて圧縮されてエレメンタリーストリームの形で出力される。これを一旦FIFOメモリ13で保持し、CPU14の要求にしたがって順次先入れ先出し方式で読み出していく。FIFOメモリ13から読み出されたデータは、データバス6を介してイーサネット回路7に送出され、ここで、イーサネット・UDP・IP・TCPなどのヘッダ情報が付加された後、イーサネット2上に送出される。

【0007】 ここで、MPEG1エンコーダLSI12は、圧縮したデータ（エレメンタリーストリーム）をFIFOメモリ13に随時書き込んでいくが、このFIFOメモリ13への書き込み操作は、全てMPEG1エンコーダLSI12で行われている。一方、FIFOメモリ13からの読み出し操作は、CPU14で動作するソフトウェアで行っている。以下に、FIFOメモリ13に保持されたエレメンタリーストリームを読み出し、イーサネットパケットを生成するまでの従来の動作について、図13のタイミングチャートを参照しながら説明する。

(3)

特開2001-86499

3

4

【0008】図13(A)に示すフレームパルスは、入力ビデオ信号のフレーム周期に同期した信号であり、CPU 4に対して1フレーム期間に1回のハードウェア割り込みを要求する。CPU 4からハードウェア割り込みが発生すると(同図(B))、割り込み処理ルーチン(Frame ISR)が実行され(同図(C))、ここでFIFOメモリ13からエレメンタリストリームの読み出し操作が行われる。そして、ここでは1回のハードウェア割り込みが発生すると、1つのピクチャ(1ピクチャまたはPピクチャ、Bピクチャのいずれか)を構成する全てのデータ(1つのピクチャを構成するデータ量は、フレームごとと異なっているため、MPEG1エンコーダLSI 12では、FIFOメモリ13に書き込むフレームごとのデータのバイト数を内部レジスタ(FIFO read Register) 12aに書き込んでいる。

【0009】ここで、割り込み処理ルーチン(Frame ISR)のプログラム動作について図14に示すフローチャートも参照しながらさらに説明する。上記したように、入力ビデオ信号のフレーム周期で発生するハードウェア割り込みにより、Frame ISRのフェーズA1(図13(C)参照)が開始する。Frame ISRの動作は、図14(A)に示すように、まず、MPEG1エンコーダLSI 12の内部レジスタであるFIFO read Register 12aの内容を読み、現在のフレーム期間内に読み出すべきデータ(1フレーム分のデータ)のバイト数を得る(ステップ101)。次に、このバイト数だけFIFOメモリ13からデータを読み出し、DRAM 15上に確保した領域(領域名: DRAM MPEG area)に書き込む(ステップ102)。そして、FIFO read Register 12aに0を書き込む(ステップ103)。なお、このFIFO read Register 12aには、次の割り込みが発生するまでに、MPEG1エンコーダLSI 12によって次のフレームで読み出すべきデータ量を書き込まれる。最後にネットワークプロセスをコールし、Frame ISRを終了する(ステップ104)。

【0010】Frame ISRの呼び出しによりネットワークプロセスのフェーズB1がスタートする(図13(D)参照)。このネットワークプロセスの動作は、図14(B)に示すように、DRAM 15上のDRAM MPEG areaに書き込まれているエレメンタリストリームからパケットを生成するプロセスであり、この手順について図3も合わせて参照しながら説明する。

【0011】まず、DRAM 15上のDRAM MPEG areaに書き込まれているエレメンタリストリームを1460バイトづつに分割して(最後に読み出すデータは、1460バイト以下の場合がある)読み出し(図3(A))、8バイトのUDPヘッダと20バイトのIPヘッダを付加する(図3(B)、(C):ステップ105)。そして、このデータをイーサネット回路7のコントローラLSI(図示せず)のデータ領域に書き込み、送信手続きを行う(ステ

ップ106)。この後は、イーサネット回路7によるハードウェア処理となる。さらに、このデータに14バイトのイーサネットヘッダが付加されて1502バイトのパケットになり(図3(D))、このパケットがイーサネット2に送信される(図13(E)参照)。そして、DRAM MPEG areaに書き込まれたデータがまだあるかどうかチェックし(ステップ107)、データが残っている場合は(ステップ107→Y)、ステップ105~107の処理を繰り返す。このように、連続したエレメンタリストリームをパケット(=1502バイト)に分割して順次イーサネット2に送出している。そして、DRAM MPEG areaから読み出すデータが無くなった場合には(ステップ107→N)、このネットワークプロセスを終了する。

【0012】以上、図14(A)、(B)を用いて説明した処理は1フレーム期間内に行われる処理である。そして、次のフレームのハードウェア割り込みが発生すると、Frame ISRのフェーズA2がスタートし、同様にステップ101からの処理が行われる。このようなソフトウェア処理により、MPEG1エンコーダLSI 12から出力されたエレメンタリストリームがパケット化されてイーサネット2に送出される。

【0013】

【発明が解決しようとする課題】この画像伝送装置1から出力される動画データは、LANなどの複数のPCが接続されているネットワーク2を介して画像受信装置3に送信する場合、ネットワーク2が複雑してトラフィックが多くなると、ネットワーク2の伝送レートが、送信する画像データの圧縮レートよりも低くなってしまう場合がある。そのため、ネットワーク2内でパケットの衝突が発生してデータが失われることがあり、イーサネットレベルで再送が繰り返されるため、データ送出に時間がかかってしまうことになる。そして、結果的に、MPEG圧縮回路5のFIFOメモリ13やイーサネット回路7のメモリ(図示せず)からのデータ読み出しやTCP(UDP)・IP・イーサネットヘッダを付加する動作に遅れが生じ、正常なイーサネットパケットを送信できなくなってしまうことになる。このため、画像受信装置3で受信したデータには欠落部分があるためこれをデコードしても正常にデコード処理ができず、表示モニタ4で表示する画像が乱れてしまうという課題があった。

【0014】この課題について、さらに詳細に説明する。従来の方法におけるプログラム実行タイミングの概略は、図3、図13及び図14を用いてすでに説明したように、ハードウェア割り込みが発生すると、Frame ISRが実行される。このFrame ISRでは、FIFOメモリ13から1フレーム期間に読み出すべきデータ(1つのピクチャを構成するデータ)を全て読み出し、その内容をDRAM 15上のメモリ領域にコピーする。その後、CPU 4によりネットワークプロセスがコールされ、DRAM 15のメモリ領域から1460バイトのデータを読み出し、これにUD

(4)

特開2001-86499

5

IP、イーサネットのヘッダを付加して1052バイトのパケットにする。これをイーサネット回路7のメモリで保持し、順次イーサネット2上へ送出している。そしてDRAM15にコピーしたデータがなくなるまでこの一連の処理を繰り返す。1フレーム期間内に複数のパケットを送出するようにしている。

【0015】このような画像伝送装置（サーバ）1では、入力画像の圧縮レートが高い（＝データ量が多い）場合に、MPEG圧縮回路5のFIFOメモリ13の読み出し操作が1フレーム期間内に完了しないため、後に続くネットワークプロセスが実行できなくなる。もしくは次のフレーム期間にまたがって実行されるため、次第に遅れが蓄積されていくことになる。

【0016】また、ネットワーク2が混雑している場合、パケット衝突によるパケットの再送が頻繁に発生し、送出処理に時間がかかることになる。この結果、1フレーム期間内に処理すべきデータを全て送信することができなくなってしまう。

【0017】このように、正常なパケットが送出できなくなると、画像受信装置（クライアント）3では正常なデコード処理ができないため、乱れた画像が表示されてしまうことになる。

【0018】また、上記した従来の方法では、3つのメモリ（（1）MPEG圧縮回路5のFIFOメモリ13、（2）DRAM15上に確保したメモリ領域、（3）イーサネット回路7のメモリ）のそれぞれがデータを保持しているため、処理の遅れを検出することが非常に困難であり、処理の遅れに対応させることも困難であった。

【0019】そこで本発明は、この3つのメモリのうち、（2）DRAM15上に確保したメモリ領域と、（3）イーサネット回路7のメモリの使用量を減らし、全体のメモリ使用量をできるだけ（1）MPEG圧縮回路5のFIFOメモリ13に集約させることにより、FIFOメモリ13の使用量を調べれば、FIFOメモリ13からの読み出し操作やネットワーク2へのデータ送出が1フレーム期間内に完結しているかどうかを判断できるようにする。そして、このFIFOメモリ13の使用状況に応じてネットワークに送出するデータ量を調節することにより、データの損失を防ぎ、画像受信装置3での良好な画像再生ができるようにすることを目的とする。

【0020】

【課題を解決するための手段】上記目的を達成するための手段として、本発明では①画像伝送装置（サーバ）全体で使用するメモリ量をできるだけMPEG圧縮回路のFIFOメモリに集約させる、②MPEG圧縮回路のFIFOメモリの使用状況を調べる、③その使用状況に応じてネットワークに送出するデータ量を調節する、という3つの手段を用いる。そして、この3つの手段を用いた具体的な構成・方法を示す発明として以下に示す画像伝送装置及び画像伝送方法を提供しようとするものである。

6

【0021】1. 画像受信装置で動画の再生を行うために、動画データを含む情報データをネットワークを介して送信する画像伝送装置であって、前記動画データを圧縮符号化する符号化手段と、この符号化手段により圧縮された圧縮動画データを一時蓄積する第1の蓄積手段と、この第1の蓄積手段から前記圧縮動画データを読み出して送出パケットを作成する第2の蓄積手段と、この第2の蓄積手段から出力される前記送出パケットを前記ネットワークに送出する送出手段とを有し、前記第2の蓄積手段から前記送出パケットが出力されるごとに、前記第1の蓄積手段から1パケット分の前記圧縮動画データを読み出されることを特徴とする画像伝送装置。

【0022】2. 前記第1の蓄積手段の蓄積データ量を監視して、前記第1の蓄積手段の蓄積データ量に応じて、前記送出手段より前記ネットワークに送出されるデータ量を制御することを特徴とする請求項1記載の画像伝送装置。

【0023】3. 前記第1の蓄積手段の蓄積データ量を監視して、前記第1の蓄積手段の蓄積データ量に応じて、前記符号化手段により圧縮される前記動画データの圧縮レートを制御することを特徴とする請求項1または請求項2記載の画像伝送装置。

【0024】4. 画像受信装置で動画の再生を行うために、動画データを含む情報データをネットワークを介して送信する画像伝送方法であって、前記動画データを圧縮符号化して蓄積手段に一時蓄積し、この蓄積手段から1パケットデータごとに読み出してパケット化して前記ネットワークに送出すると共に、前記蓄積手段の蓄積データ量に応じて、前記ネットワークに送出されるデータ量と前記動画データの圧縮レートとの少なくとも一方を制御することを特徴とする画像伝送方法。

【0025】

【発明の実施の形態】本発明の画像伝送装置及び画像伝送方法の一実施の形態について図面と共に説明する。本発明の画像伝送装置は、図1に示すようなネットワーク画像伝送システムに用いられ、例えば図2に示すような構成を有するものである。ここで、図1及び図2における概略構成は、従来の技術で説明済みであるので、同一部分の説明は省略し、本発明特有のプログラム構成及び回路構成である①画像伝送装置（サーバ）全体で使用するメモリ量をできるだけMPEG圧縮回路のFIFOメモリに集約させる、②MPEG圧縮回路のFIFOメモリの使用状況を調べる、③その使用状況に応じてネットワークに送出するデータ量を調節する、という3つの手段を中心に、他の図面も参照しながら、以下に説明する。

【0026】まず、①画像伝送装置（サーバ）1全体で使用するメモリ量をできるだけMPEG圧縮回路5のFIFOメモリ（蓄積手段、第1の蓄積手段）13に集約させる点について、このプログラム動作を図4に示すタイミング

(5)

特開2001-86499

7

8

チャートと図5に示すフローチャートを参照しながら説明する。

【0027】まず、ハードウェア割り込みが発生する前に、図5(B)に示すMPEGプロセスのステップ116～119が実行される。ここでは、最初にMPEG1エンコーダLSI(符号化手段)12の初期設定を行う(ステップ116)。次に、MPEG1エンコーダLSI12にアクセスし、圧縮のレートを所定値(例えば1.15Mbps)にセットして、この所定値をDRAM15上に確保した領域(領域名をbitrateとする)に保存する(ステップ117)。そして、MPEG1エンコーダLSI12によるエンコード(圧縮)を開始し(ステップ118)、Frame ISRからのコールを待つ(ステップ119)。

【0028】ステップ118において、エンコードが開始されると、MPEG1エンコーダLSI12から入力ビデオ信号のフレーム周期に同期したフレームパルスが出力される(図4(A)参照)。そして、この信号によりCPU14のハードウェア割り込みが発生し(図4(B)参照)、Frame ISRがコールされてフェーズA1が開始される(図4(C)参照)。

【0029】このFrame ISRでは、図5(A)に示すような処理が行われる。まず、MPEG1エンコーダLSI12内のFIFO read Register12aの値を読み出し、FIFOメモリ13から現在読み出すべきデータのバイト数(1つのピクチャを構成するデータ量)を得る(ステップ111)。このバイト数が0の場合は(ステップ112→Y)、FIFOメモリ13にデータが保持されていないので、割り込み処理を終了する。しかし、バイト数が0でない場合は(ステップ112→N)、DRAM(第2の蓄積手段)15上に確保した領域(領域名をFIFO numberとする)にコピーする(ステップ113)。そして、FIFO read Register12aをリセット(0を書き込む)し(ステップ114)、MPEGプロセスをコールして、割り込み処理を終了する。以上で、図4(C)に示したフェーズA1が終了する。

【0030】そして、Frame ISRからコールされたMPEGプロセスが処理を再開し、図4(D)に示すフェーズB1がスタートする。MPEGプロセスでは、Frame ISRからのコールがあると(ステップ119→Y)、MPEG圧縮回路5のFIFOメモリ13からデータを1460バイト(1パケットで送信するデータ)を読み出して、一旦FIFOメモリコントロール回路16に確保してCPU14の動作タイミングに合わせてデータバス6に出力し、このデータをDRAM15上に確保した領域(領域名をDRAM MPEG areaとする)にコピーする(ステップ120)。そして、DRAM15上のFIFO numberに記録されているバイト数の値から1460バイトを引き、その値を再びFIFO numberに書き込む(ステップ121)。その後Data Reduceサブルーチンを実行して、イーサネットに送出するデータ量を調節する(ステップ122)。なお、このData Reduceサブ

ルーチンの説明については、図12と共に後で詳細に説明する。

【0031】その後、DRAM15上のDRAM MPEG areaに記憶されている1460バイトのデータを読み出してUDP・IPヘッダを付加する(ステップ123)。そして、このデータをイーサネット回路(送出手段)7のコントローラLSIのデータ領域(図示せず)に書き込み、送信手続きを行う(ステップ124)。この後は、イーサネット回路7によるハードウェア処理となる。すなわち、このデータに14バイトのイーサネットヘッダが付加されて1502バイトのパケットになり(図3(D)を参照)、このパケットがイーサネット2に送信される(図4(E)を参照)。

【0032】そして、DRAM15のFIFO numberが0かどうかをチェックし(ステップ125)。0でない場合は(ステップ125→N)、送信するデータがまだ存在するのでステップ120に戻り、フェーズB2をスタートさせる。このフェーズB2はフェーズB1と同様の処理を行うものであり、ステップ120～125の処理を繰り返す(図4(D)を参照)。このようにフェーズB3、フェーズB4と、FIFO numberが0になるまで、連続したエレメンタリストリームをパケット(=1502バイト)に分割して順次イーサネット2に送出している。そして、DRAM15のFIFO numberが0になった場合には(ステップ125→Y)、FIFOメモリ13からのデータ読み出しが終了したことになるので、このMPEGプロセスを終了する。そして、次のフレーム期間が始まり(図4(A)を参照)、ハードウェア割り込みが発生すると(図4(B)を参照)、Frame ISRのフェーズA2がスタートし(図4(C)を参照)、上記した図5のフローで示される処理が実行される。

【0033】以上説明したように、本実施の形態では、1パケット分のデータのみをDRAM15にコピーし、イーサネット回路7からパケット送出してから、次のパケットのデータをDRAM15にコピーするようにしている。したがって、DRAM15及びイーサネット回路7に蓄積されるデータ量は1パケット分だけであり、MPEG1エンコーダLSI12から出力される圧縮画像データのほとんどは、FIFOメモリ13に溜まるだけである。したがって、FIFOメモリ13を監視するだけで、パケット送出の処理状況を把握することができる。

【0034】すなわち、従来方法では、1フレーム分のデータ全てをFIFOメモリ13から読み出してDRAM15に保持してから、1460バイト(ヘッダを含め1502バイト)ごとにパケット化してイーサネットに送出していた。このため、入力画像の圧縮レートが高かったり、ネットワークの混雑などにより1フレーム期間内の処理が間に合わない場合、イーサネットパケットの生成プロセスに遅延が生じ、最悪の場合は1パケットも生成することができなくなってしまうことがあった。しかしながら、

9

本実施の形態では、FIFOメモリ13のデータ読み出しを1460バイトずつ行うことで、イーサネット2への1パケット（ヘッダを含め1502バイト）単位の送出を優先しているため、1フレーム全てのパケット生成に失敗することを回避することができる。

【0035】また、その分FIFOメモリ13に溜まるデータ量が増えるので、「FIFOメモリ13の使用状況＝パケットの送出状況」となり、1フレーム期間内の処理が間に合っているかどうかをFIFOメモリ13を監視することで判断することが可能となる。

【0036】次に、FIFOメモリの使用状況の監視方法について以下に説明する。最初に、MPEG圧縮回路5のFIFOメモリ13の使用状況を調べる（FIFOメモリ13のデータ残量を調べる）ことについて説明する。

【0037】MPEG圧縮回路5内のFIFOメモリ13の周辺主要回路構成のみを図6に示す。本実施の形態では、書き込み操作と読み出し操作を非同期に行うことができるFIFOメモリ13を使用している。同図において、画像データの流れはMPEGエンコーダLSI12から出力された圧縮画像データ（エレメンタリーストリーム）がFIFOメモリ13の書き込み側に入力される。このFIFOメモリ13に保持されたデータは、CPU14の要求にしたがって読み出される。書き込み側の制御は、MPEGエンコーダLSI12から出力されるライトクロック（WCLK）とライトイネーブル（WE）、FIFOメモリコントロール回路16から出力されるライトリセット（WRST）により行い、読み出し側の制御は、CPU14から出力されるリードクロック（RCLK）とFIFOメモリコントロール回路16から出力されるリードイネーブル（RE）、リードリセット（RRST）を使用する。そして、書き込み操作は、MPEGエンコーダLSI12から出力されるWCLKとWE信号によって行われ、例えば、図7に示すようにWEが“L”レベルのときWCLK入力の立ち上がりに同期して、1サイクルで8ビット（1バイト）ずつ書き込まれる。

【0038】そして、FIFOメモリ13に保持されたデータの残量を検出するために、本実施の形態では、FIFOメモリ13の現在のライトアドレスとリードアドレスを調べ、それらの値を比較することによりFIFOメモリ13に保持されているデータの残量を求めている。

【0039】まず、ライトアドレスは、図6に示すFIFOメモリコントロール回路16にてWEが“L”レベルのときのWCLK数をカウントすることで求めている。

【0040】例えば、2Mビット（256Kワード×8ビット＝262144バイト）の容量のFIFOメモリ13を使用した場合に、縦軸にデータ幅（1バイト＝8ビット）、横軸にワード数を示すと、メモリ全体のデータ量は図8（A）に示すようになる。そして、書き込み動作は、WCLKの立ち上がりで1バイト（＝8ビット）ずつ書き込みが行われるので、図8（B）に示すように、19ビットカウンタ（ライトアドレスカウンタ）を使用して、1から40000

(6)

特開2001-86499

10

HEX（＝262144）までカウントすることにより、FIFOメモリ13に書き込まれたデータのバイト数（ライトアドレス）を数えることができる。そして、同様にして、リードアドレスもFIFOメモリコントロール回路16にて、REが“L”レベル時のRCLK数をカウントして、FIFOメモリ13から読み出されたデータのバイト数を数えることができる。

【0041】この様に求めたライトアドレスの値とリードアドレスの値とをCPU14で定期的に読み出して比較すれば、FIFOメモリ13に保持されているデータの残量を求めることができる。例えば、ライトアドレスが300HEX（＝768）、リードアドレスが20HEX（＝32）のとき、ライトアドレスからリードアドレスを減算すれば、FIFOメモリ13に残っているデータ量を知ることができる。この場合、768－32＝736バイトのデータが読み出されないままFIFOメモリ13に残っていることになる。

【0042】そして、前述したように、本実施の形態では、1フレーム期間内のデータ（1つのピクチャを構成するデータ）をFIFOメモリ13から全て読み出すのではなく、パケット化に必要なバイト数のみを読み出すようにしているため、FIFOメモリ13に保持されるデータ量は従来よりも多くなる。言い換えると、サーバ1全体の処理の遅れが、このFIFOメモリ13に集約されることになる。例えば、ネットワーク2の混雑によりパケットがスムーズに送出できない場合、本実施の形態ではパケット送信が最優先されるため、FIFOメモリ13からのリード動作も遅れることになる。しかしながら、ライト動作はこれとは無関係（非同期）に行われているため、ライトアドレスが40000HEXに到達し再び0アドレスからデータが書き込まれて、やがてリードアドレスを追い越してしまう場合が生じる。これは、FIFOメモリ13からまだ読み出されていないデータの上に新たなデータを上書きすることになるため、連続したデータが途中で消えてしまい、結果的には、途切れた不連続なデータでパケットを生成して送信し、クライアント3で正常にデコード処理ができずに乱れた画像を表示することになる。

【0043】本実施の形態ではこのような状況に対応するため、FIFOメモリ13を監視して、ライトアドレスがリードアドレスを追い越さないようにイーサネット2に送出するデータ量を調節することにより、画像の乱れを最小限に抑えている。このイーサネット2に送出するデータ量の調整方法（④その使用状況に応じてネットワークに送出するデータ量を調節する）について以下に説明する。

【0044】上記で求めたライトアドレスとリードアドレスとを比較する場合には、1フレーム期間にFIFOメモリ13から読み出すデータ量（1つのピクチャを構成するデータ量）がピクチャごとに異なり、BやPピクチャに比べIピクチャの場合が最もデータ量が多くなることを考慮する必要がある。1フレーム期間におけるIピクチャ

(7)

特開2001-86499

11

々を構成するデータ量は、本実施の形態で測定の結果、ビットレート1.1Mbpsの場合でおおよそ10000バイト以下であった。これは、1回のハードウェア割り込み(Frame ISR)ごとに、リードアドレスが最大10000バイト更新されることを意味する。そこで本実施の形態では、ライトアドレスとリードアドレスの現在の値のみで比較するのではなく、図9に示すようにライトアドレスとリードアドレスの前後5000バイト幅のウインドを設け、この範囲の値を使用して比較を行うようにする。

【0045】ここで、比較を行う際のFIFOメモリ13の状況とライト/リードアドレスの関係について、いくつかのパターンにわけて図10と共に説明する。なお、ハードウェア割り込みが発生したとき(Frame ISR実行

$$R-5000 < R+5000 < W-5000 < W+5000 \quad \cdots (式1)$$

【0046】(2) パターン2

パターン2は、図10の(パターン2)に示すように、リードアドレスがライトアドレスに近づいてお互いの比較範囲の一部に重なりが生じている状態を示している。

$$R-5000 < W-5000 < R+5000 < W+5000 \quad \cdots (式2)$$

【0047】(3) パターン3

パターン3は、図10の(パターン3)に示すように、ライトアドレスが最終アドレス(262143)に達し、一旦★

$$W-5000 < W+5000 < R-5000 < R+5000 \quad \cdots (式3)$$

【0048】(4) パターン4

パターン4は、図10の(パターン4)に示すように、パターン3の状態からライトアドレスがリードアドレスに近づき、お互いの比較範囲の一部に重なりが生じている状態を示している。この時点では、まだFIFOメモリ13から読み出されてないデータの上に新たなデータが書き込まれるという状態になっていないため、データの連続性は崩れていない(クライアント3における受信画像も乱れていない。)しかしながら、FIFOメモリ13の読み

$$W-5000 < R-5000 \leq W+5000 < R+5000 \quad \cdots (式4)$$

【0049】(5) パターン5

パターン5は、図10の(パターン5)に示すように、パターン4の状態からさらにFIFOメモリ13の読み出し操作が遅れ、ライトアドレスがリードアドレスを追い越してしまつた状態を示す。この状態においては、読み出

$$R-5000 \leq W-5000 < R+5000 \leq W+5000 \quad \cdots (式5)$$

【0050】次に、上記で導き出したFIFOメモリ13の使用状況をもとに、イーサネット2に送出するデータ量を調節する手順について説明する。データ量を調節は、FIFOaddress ISRとData Reduceサブルーチンの2つのプロセスにより行われ、それぞれの動作フローチャートを図11及び図12に示す。なお、Data Reduceサブルーチンは、図5(B)に示して詳細説明済みのMPEGプロセスのステップ122において実行されるサブルーチンである。

【0051】まず、FIFO address ISRの動作について、図11を参照しながら説明する。このFIFO address ISR

12

＊時に、FIFO read Registerが0となっている場合は、FIFOメモリ13からの読み出し操作は行わないため、リードアドレスがライトアドレスを追い越すことはない。したがって、この場合を除いた以下の5パターンの使用状況を判別すればよいことになる。

(1) パターン1

パターン1は、図10の(パターン1)に示すように、ライトアドレスが常に先行しており、1フレーム期間内に処理が完結する正常な状態のアドレス位置を示している。この場合のFIFOメモリ13のアドレスの関係は、式1のようになる。なお、Rはread address、Wはwrite addressを示す。

＊が、この場合もリード動作が支障なく行われていることを意味しており、これも正常な状態である。この場合のFIFOメモリ13のアドレスの関係は、式2のようになる。

20★0に戻ってライト動作が続いている状態であり、これも正常な状態である。この場合のFIFOメモリ13のアドレスの関係は、式3のようになる。

☆読み出し操作が遅れており、このままでは、データの上書きがされてしまう危険な状態になってしまうことがわかる。したがって、この読み出し操作の遅れを取り戻すために、FIFOメモリ13の読み出し操作を優先させる(例えば、P,Bピクチャを削除するなどしてパケット送出量を少なくする)必要がある(この読み出し操作の優先については後述する)。そして、この場合のFIFOメモリ13のアドレスの関係は、式4のようになる。

◆されてないデータの上に新たなデータが書き込まれているため、すでにデータの連続性は崩れている。しかしながら、この場合もパケット送出量を少なくして、早急に正常状態に戻す必要がある。この場合のFIFOメモリ13のアドレスの関係は、式5のようになる。

40は、CPU14の待つタイマ機能によって、一定時間ごとには発生するソフトウェア割り込みで実行されるプロセスである。このプロセスでは、FIFOメモリコントロール回路16で生成されたFIFOメモリ13のライトアドレスとリードアドレスの値を読み出し、DRAM15上に確保した領域に保存することを行っている。

【0052】まず、FIFOメモリコントロール回路16で生成されたライトアドレスとリードアドレスを読み出し、それぞれの値をDRAM15上の領域(領域名をwrite addressとread addressとする)にコピーする(ステップ131)。そして、(write address ± 5000)と(r



(8)

特開2001-86499

13

ead address ± 5000)の値を比較して、上記した各パターン1～5を判別する(ステップ132)。

【0053】ここで、あらかじめFIFOメモリ13の読み出し動作の遅れを示すフラグ(領域名をread lateとする)とパターン情報を保存しておくための領域(領域名をstateとする)をDRAM15上に確保しておき、パターン1の場合は、read lateに0、stateに1をセットする(ステップ133)。同様に、パターン2の場合は、read lateに0、stateに2をセットする(ステップ134)。パターン3の場合は、read lateに0、stateに3をセットする(ステップ135)。パターン4の場合(読み出し動作が遅れている場合)は、read lateに1、stateに4をセットする(ステップ136)。パターン5の場合(リード動作がさらに遅れた場合)、read lateに1、stateに5をセットする(ステップ137)。その後、割り込み処理を終了する。

【0054】次に、Data Reduceサブルーチンの動作について、図12に示すフローチャートを参照しながら説明する。このData Reduceサブルーチンでは、FIFO addressISRによって判別され、保存されているパターン情報を読み出して、パターン4と5の場合にパケット送出量を減らし、ここで空いた処理時間をFIFOメモリ13のリード動作にまわして、1フレーム期間内の処理の遅れを回復させるという動作を行う。

【0055】まず、MPEGプロセスでDRAM MPEG areaに保存されたエレメンタリーストリームのヘッダを検索して、picture coding typeを見つけ出し、ピクチャの種類(I,P,B)を判別し(ステップ141)、DRAM15上に確保した領域(領域名をpictureとする)に、Iなら1、Pなら2、Bなら3を書き込む(ステップ142)。そして、パターン種別を示すstateを読み出して(ステップ143)、このstateが1及び2、3の場合は、1フレーム期間の処理が間に合っているため、通常通りにパケットを送出する。そして、前のフレーム割り込みでパターン5に入った場合に、そのことを記憶しておくために、DRAM15上にstate5 countの名前で領域を確保しておき、stateが1及び2、3の場合である今回の場合はこれに0を代入しておく(ステップ144)。その後サブルーチンの処理を終了し、図5(B)のMPEGプロセスの続き(図5(B)のステップ123以降)を行う。

【0056】ステップ143においてstateが4の場合は、FIFOメモリ13のリード動作に遅れが生じているため、イーサネット2に送出するデータ量を減少させる必要がある。そこで、まずstate5 countの値を読み出してチェックする(ステップ145)。

【0057】このstate5 countの値が0でない場合は(ステップ145→N)、前のフレーム割り込みでFIFOメモリ13の状態がパターン5であったことを意味しており、また、現在のフレームではパターン4であるた

14

め、パターン5からパターン4に状態が改善したことがわかる。しかしながら、引き続きパターン5の処理を行ってより状態を改善する必要があるため、ステップ149の処理に移動する(以降の処理内容は、state5の処理のところで説明する)。

【0058】state5 countの値が0の場合は(ステップ145→Y)、前のフレームがパターン5以外の状態であったことを示している。この場合のstate4の処理は、I、B、PピクチャのうちBピクチャのデータを削除してデータ量を減らすことを行う。まず、DRAM15上のpicture領域の値を読んでピクチャの種類を判断し(ステップ146)、pictureの値が3でBピクチャを示す場合はパケット生成及び送出をしないため、図5(B)に示すMPEGプロセスのステップ125(パケット送出後の処理)にジャンプする。pictureの値が1または2でI、Pピクチャを示す場合は、通常通りパケット生成・送出を行うため、サブルーチンの処理を終えMPEGプロセスの続き(図5(B)のステップ123)を実行する。

【0059】ステップ143においてstateが5の場合は、state5 countの値を1だけ更新する(ステップ147)。こうすることにより、以降はstate5 countの値を読むことで、パターン5が何フレーム続いたかわかる。次に、state5 countが10かどうかチェックする(ステップ148)。これはパターン5が10フレーム続いたかどうかにより、以降の処理を変えるために行っている。

【0060】state5 countの値が10でない場合は(ステップ148→N)、state5における通常処理を行う。ここでは、I、B、PピクチャのうちBとPピクチャのデータを削除してデータ量を減らすことを行う。まず、DRAM15上のpicture領域の値を読み、pictureの値が2または3でB、Pピクチャを示す場合にはパケット生成及び送出をしないため、図5(B)に示すMPEGプロセスのステップ125(パケット送出後の処理)にジャンプする。pictureの値が1でIピクチャを示す場合は、通常通りパケット生成・送出を行うため、サブルーチンの処理を終えMPEGプロセスの続き(図5(B)のステップ123)を実行する。

【0061】state5 countの値が10の場合は(ステップ148→Y)、パターン5が10フレーム続いたことを意味している。この場合はFIFOメモリ13のデータはすでに上書きされて、データの連続性は崩れていると考えられる。また、パターン5の処理(P、Bピクチャを削除する)を10フレーム期間行っても状態が改善しなかったことも意味しているため、このまま同じ動作を繰り返しても改善が見込めないと考えられる。したがって、state5 countの値が10の場合は、入力信号の圧縮レートを下げる処理を行うようにする。

【0062】まず、ビットレートを設定するため、MPEGエンコーダLSI12におけるエンコード処理を一旦スト

JP,2001-086499,A

☒ STANDARD ☐ ZOOM-UP ROTATION

No Rotation ▼

☐ REVERSAL

RELOAD

PREVIOUS PAGE

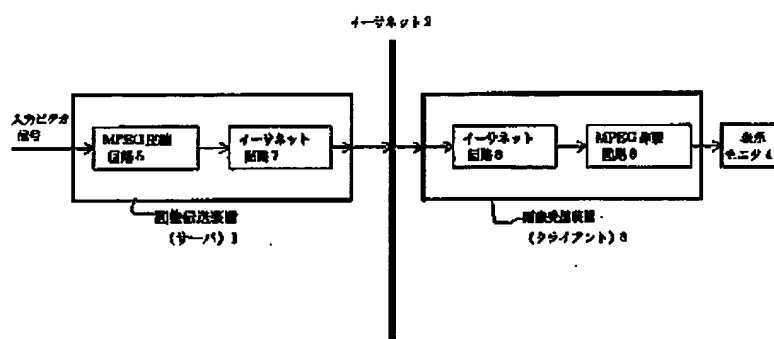
NEXT PAGE

DETAIL

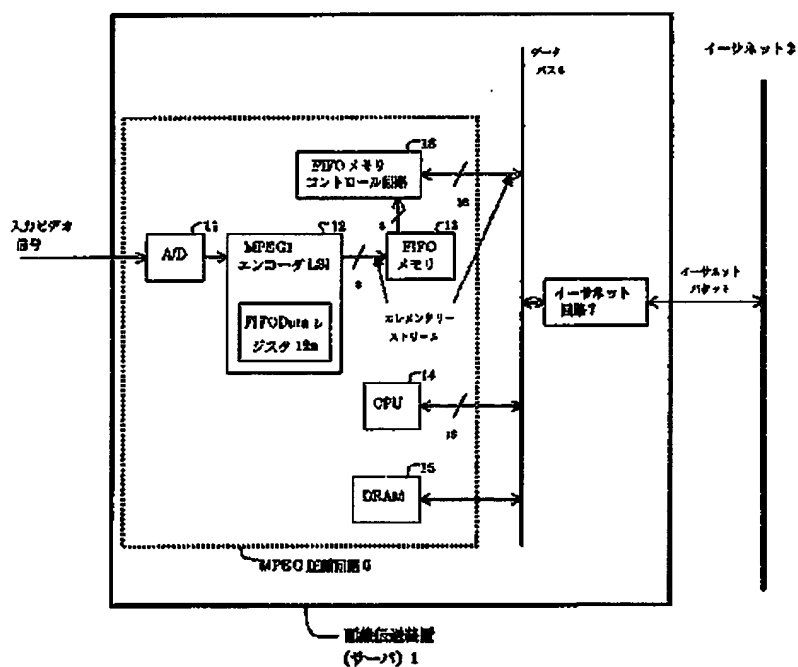
(10)

特開2001-86499

【図1】



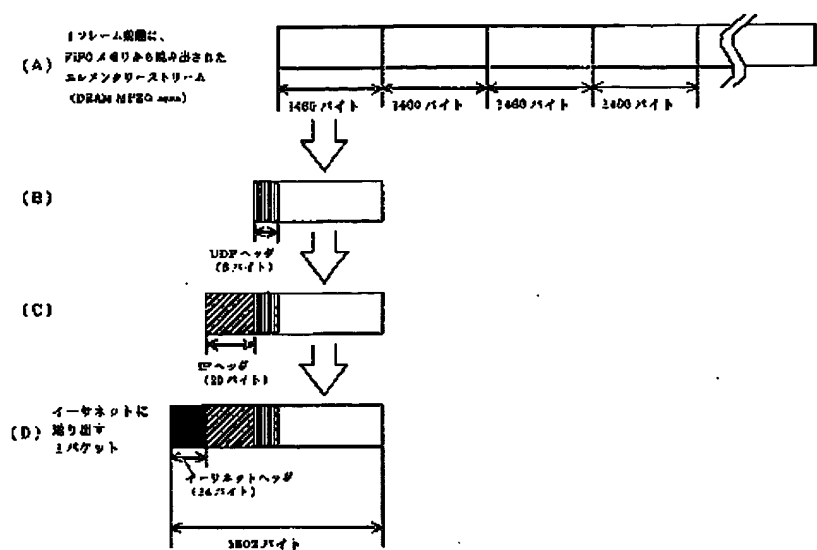
【図2】



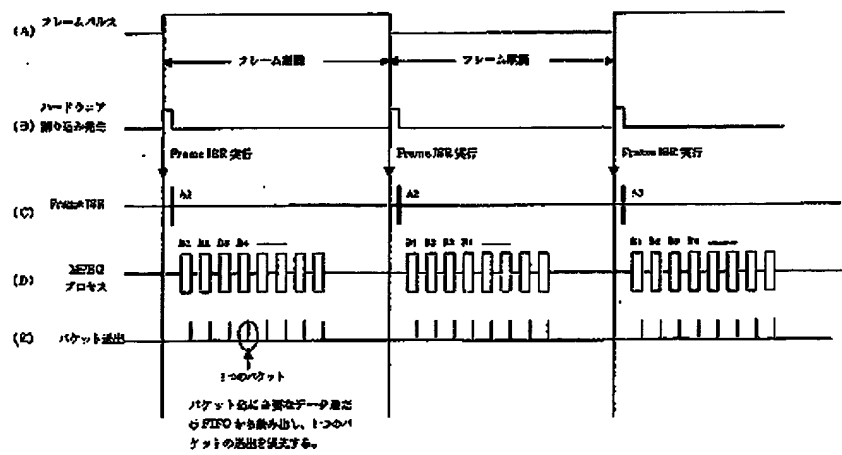
(11)

特開2001-86499

【図3】



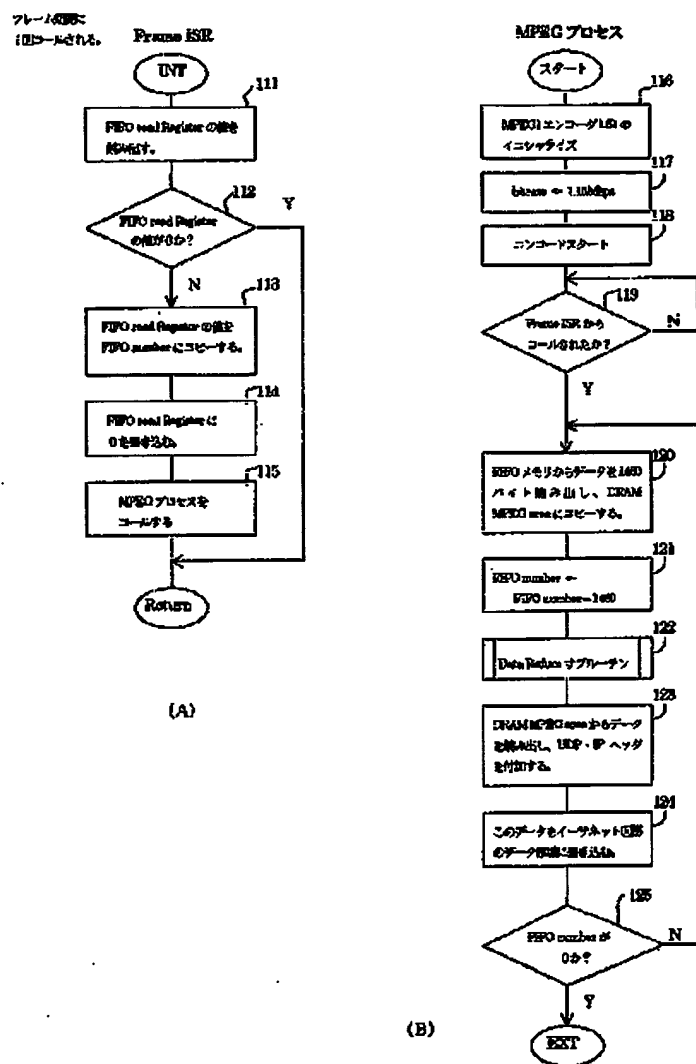
【図4】



(12)

特開2001-86499

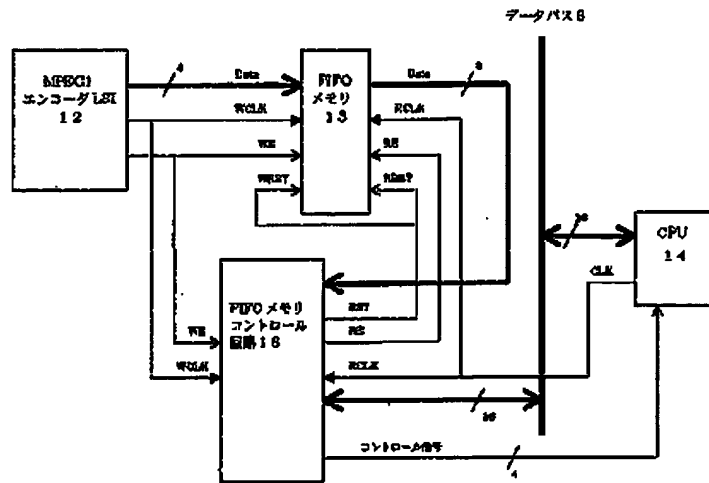
【図5】



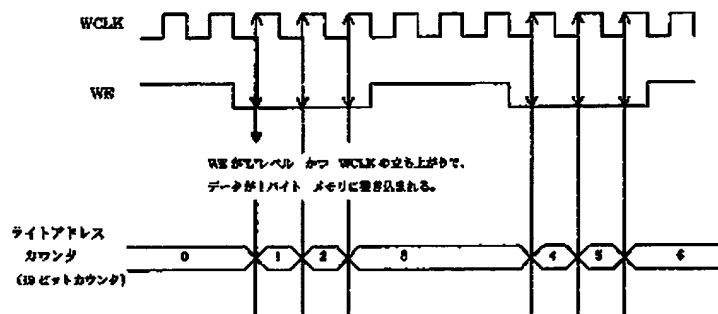
(13)

特開2001-86499

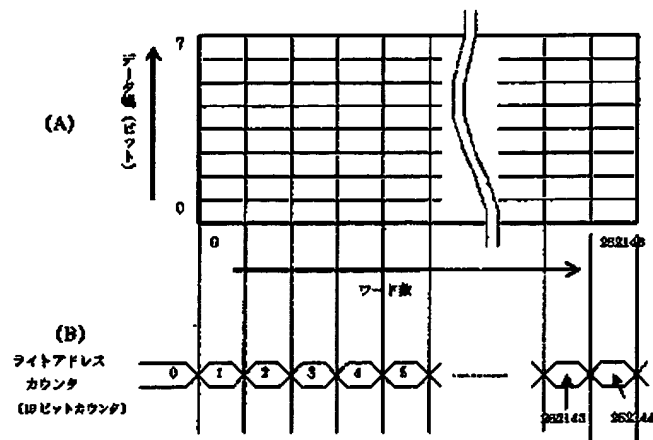
【図6】



【図7】



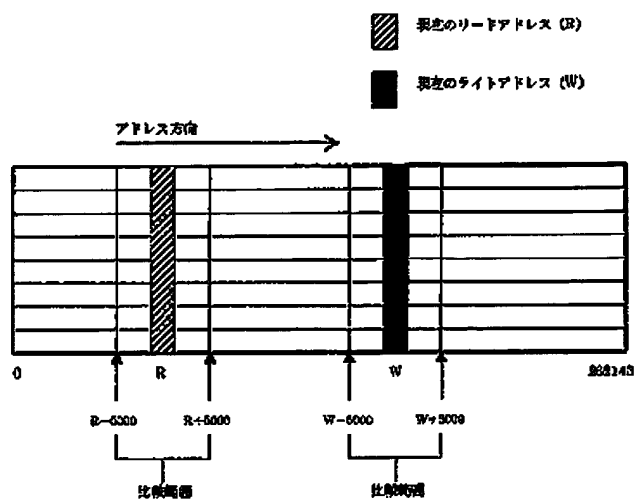
【図8】



(14)

特開2001-86499

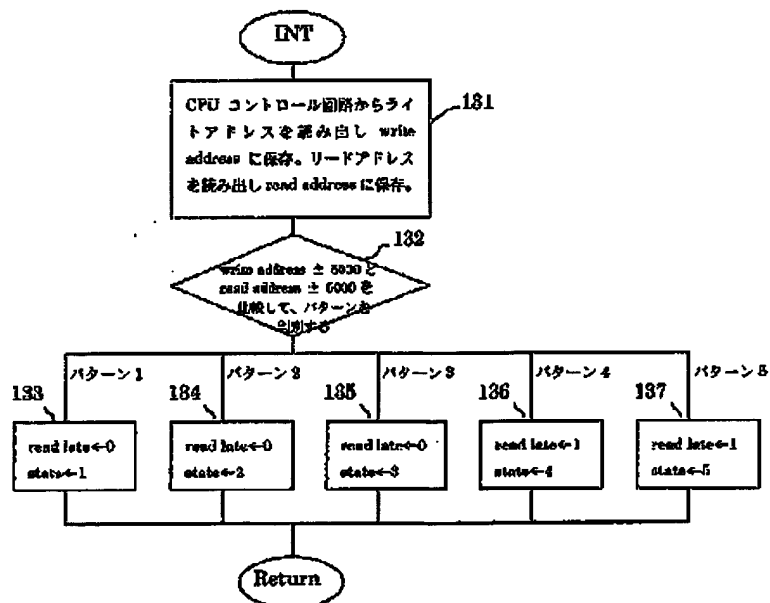
【図9】



【図11】

タイマー割り込み

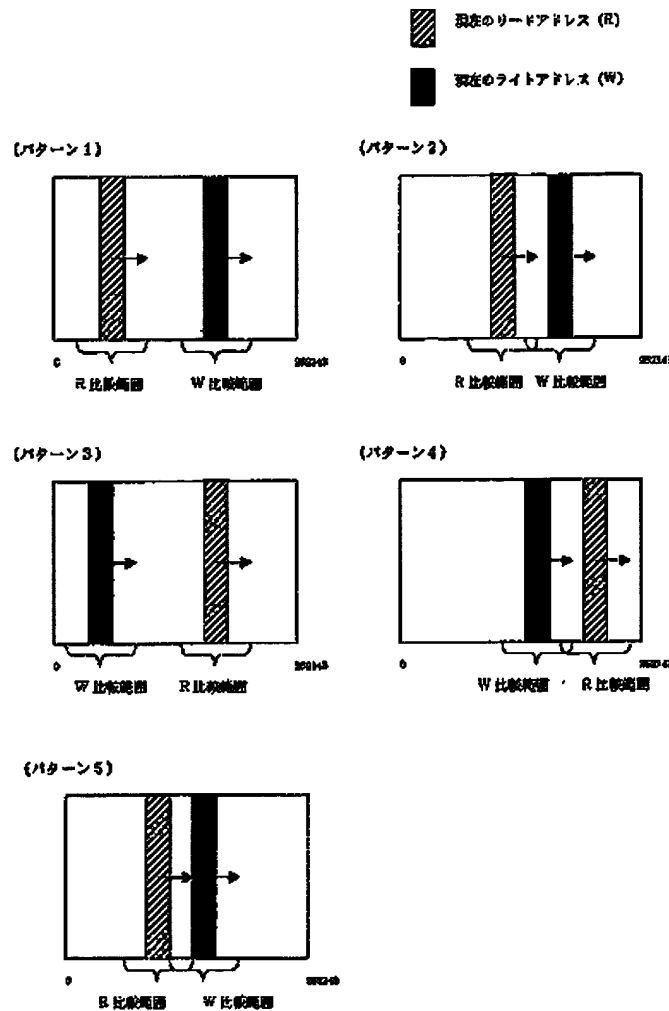
FIFO address ISE



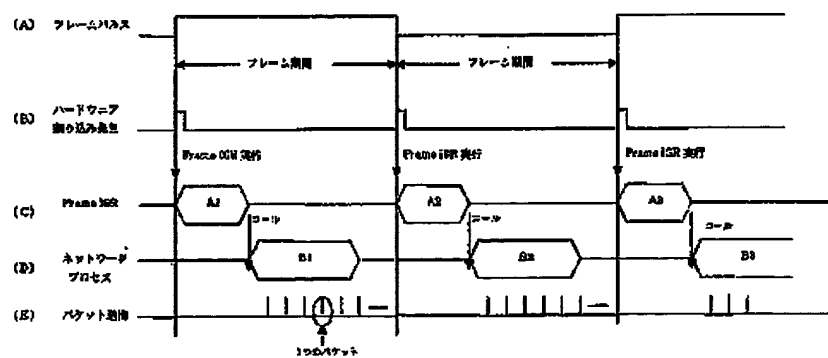
(15)

特開2001-86499

【図10】



【図13】

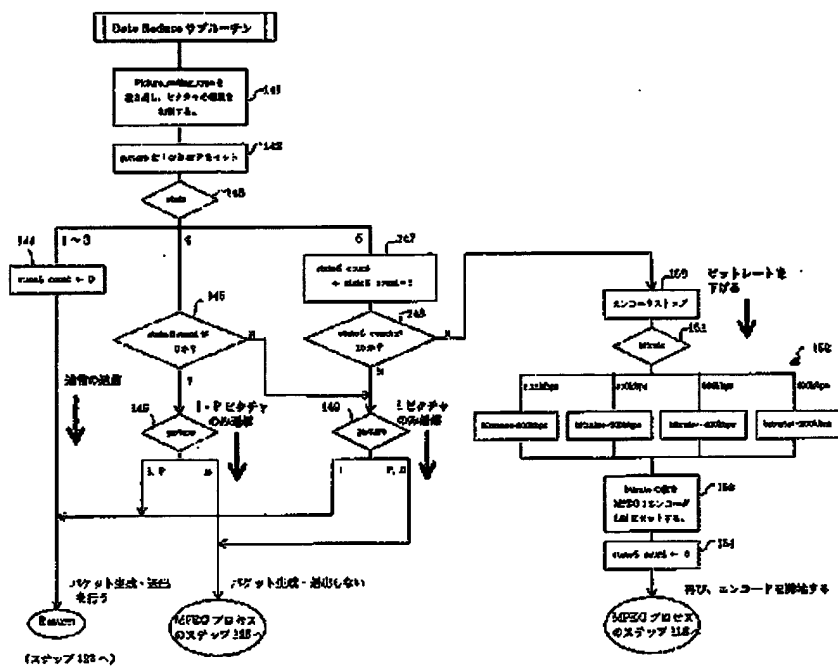




(15)

特開2001-86499

【图 12】

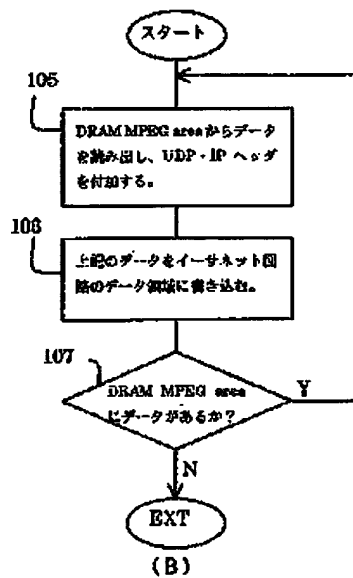
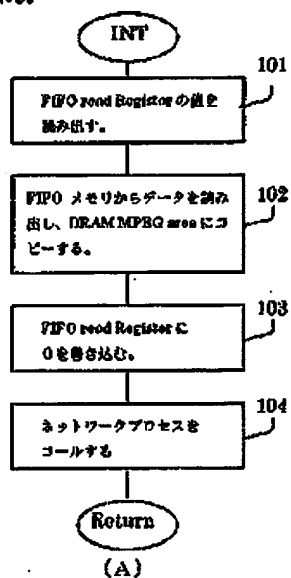


【例 14】

フレーム期間に  
1回コールされる。

### Frame 1SR

## ネットワークプロセス



(17)

特開2001-86499

フロントページの続き

F ターム(参考) SC059 KK31 KK34 MA00 PF04 RC01  
RC08 TA16 TA57 TB04 TC18  
TC20 TC39 TD11 UA02 UA32  
UA36  
5K030 GA11 HA08 HB02 JT04 KA01  
KA03 KA19 LA07  
9A001 BB04 BB06 CC02 EE04 HH23  
HH30

**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☒ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☒ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINE(S) OR MARK(S) ON ORIGINAL DOCUMENT**
- ☒ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER: \_\_\_\_\_**

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**